

PATENT
Docket No. 492322002800

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on February 13, 2002.

Melissa Garton

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Toshikazu HIRAI et al.

Serial No.: Not yet assigned

Filing Date: February 1, 2002

For: SWITCHING CIRCUIT DEVICE

Examiner: Not yet assigned

Group Art Unit: Not yet assigned

J1040 U.S. PTO
10/073363



TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application No. 2001-051861, filed February 27, 2001.

A certified copy of the priority document is attached to perfect Applicants' claim for priority.


It is respectfully requested that the receipt of this certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to

Deposit Account No. 03-1952 and reference Docket No. 492322002800. However, the Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: February 13, 2002

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
2000 Pennsylvania Avenue, N.W.
Washington, D.C. 20006-1888
Telephone: (202) 887-1545
Facsimile: (202) 887-0763

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
10/073363
02/13/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月27日

出 願 番 号

Application Number:

特願2001-051861

出 願 人

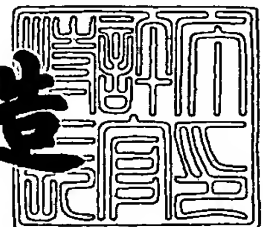
Applicant(s):

三洋電機株式会社

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3103722

【書類名】 特許願

【整理番号】 KAA1010021

【提出日】 平成13年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 平井 利和

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 浅野 哲郎

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2001-051861

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体スイッチ回路装置

【特許請求の範囲】

【請求項 1】 チャンネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第 1 および第 2 の F E T と、前記両 F E T のソース電極あるいはドレイン電極に接続された共通入力端子と、前記両 F E T のドレイン電極あるいはソース電極に接続された第 1 および第 2 の出力端子と、前記第 1 の F E T の前記第 1 の出力端子に所定のバイアスを与えるバイアス手段と、制御端子と前記第 2 の出力端子とを接続する接続手段と、前記第 2 の F E T のゲート電極を接地する接地手段と、前記共通入力端子と前記第 2 の F E T のソース電極あるいはドレイン電極間を直流的に分離する分離手段とを具備し、前記第 1 の F E T のゲート電極に接続された前記制御端子に制御信号を印加することを特徴とする化合物半導体スイッチ回路装置。

【請求項 2】 前記バイアス手段は前記第 1 の出力端子に一定電圧を常に印加することを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 3】 前記バイアス手段は常に一定の正の直流電圧を供給することを特徴とする請求項 2 記載の化合物半導体スイッチ回路装置。

【請求項 4】 前記分離手段は容量で形成されることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 5】 前記第 1 および第 2 の F E T は前記チャンネル層にショットキー接触するゲート電極と、前記チャンネル層にオーミック接触するソース及びドレイン電極からなることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 6】 前記第 1 および第 2 の F E T を M E S F E T で形成されることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 7】 前記第 1 および第 2 の F E T を同一半導体基板に集積化して形成し、前記バイアス手段および分離手段は外付けで形成されることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波スイッチング用途に用いられる化合物半導体スイッチ回路装置、特に制御端子を1つにする化合物半導体スイッチ回路装置に関する。

【0002】

【従来の技術】

携帯電話等の移動体用通信機器では、GHz帯のマイクロ波を使用している場合が多く、アンテナの切換回路や送受信の切換回路などに、これらの高周波信号を切り替えるためのスイッチ素子が用いられることが多い（例えば、特開平9-181642号）。その素子としては、高周波を扱うことからガリウム・砒素（GaAs）を用いた電界効果トランジスタ（以下FETという）を使用する事が多く、これに伴って前記スイッチ回路自体を集積化したモノリシックマイクロ波集積回路（MMIC）の開発が進められている。

【0003】

図7（A）は、GaAs MESFETの断面図を示している。ノンドープのGaAs基板1の表面部分にN型不純物をドーピングしてN型のチャネル領域2を形成し、チャネル領域2表面にショットキー接触するゲート電極3を配置し、ゲート電極3の両脇にはGaAs表面にオーミック接触するソース・ドレイン電極4、5を配置したものである。このトランジスタは、ゲート電極3の電位によって直下のチャネル領域2内に空乏層を形成し、もってソース電極4とドレイン電極5との間のチャネル電流を制御するものである。

【0004】

図7（B）は、GaAs FETを用いたSPDT（Single Pole Double Throw）と呼ばれる化合物半導体スイッチ回路装置の原理的な回路図を示している。

【0005】

第1と第2のFET1、FET2のソース（又はドレイン）が共通入力端子INに接続され、各FET1、FET2のゲートが抵抗R1、R2を介して第1と第2の制御端子Ct1-1、Ct1-2に接続され、そして各FETのドレイン（又はソース）が第1と第2の出力端子OUT1、OUT2に接続されたものであ

る。第 1 と第 2 の制御端子 $Ct1-1$ 、 $Ct1-2$ に印加される信号は相補信号であり、H レベルの信号が印加された FET が ON して、入力端子 IN に印加された信号をどちらか一方の出力端子に伝達するようになっている。抵抗 $R1$ 、 $R2$ は、交流接地となる制御端子 $Ct1-1$ 、 $Ct1-2$ の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【 0 0 0 6 】

図 8 は、図 7 (B) に示す化合物半導体スイッチ回路装置を集積化した化合物半導体チップの 1 例を示している。

【 0 0 0 7 】

GaAs 基板にスイッチを行う FET 1 および FET 2 を中央部に配置し、各 FET のゲート電極に抵抗 $R1$ 、 $R2$ が接続されている。また共通入力端子 IN 、出力端子 $OUT1$ 、 $OUT2$ 、制御端子 $Ct1-1$ 、 $Ct1-2$ に対応するパッドが基板の周辺に設けられている。なお、点線で示した第 2 層目の配線は各 FET のゲート電極形成時に同時に形成されるゲート金属層 ($Ti/Pt/Au$) 20 であり、実線で示した第 3 層目の配線は各素子の接続およびパッドの形成を行うパッド金属層 ($Ti/Pt/Au$) 30 である。第 1 層目の基板にオーミックに接触するオーミック金属層 ($AuGe/Ni/Au$) 10 は各 FET のソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図 8 では、パッド金属層と重なるために図示されていない。

【 0 0 0 8 】

図 9 (A) に図 8 に示した FET 1 の部分を拡大した平面図を示す。この図で、一点鎖線で囲まれる長形状の領域が基板 11 に形成されるチャネル領域 12 である。左側から伸びる櫛歯状の第 3 層目のパッド金属層 30 が出力端子 $OUT1$ に接続されるソース電極 13 (あるいはドレイン電極) であり、この下に第 1 層目オーミック金属層 10 で形成されるソース電極 14 (あるいはドレイン電極) がある。また右側から伸びる櫛歯状の第 3 層目のパッド金属層 30 が共通入力端子 IN に接続されるドレイン電極 15 (あるいはソース電極) であり、この下に第 1 層目のオーミック金属層 10 で形成されるドレイン電極 16 (あるいはソース電極) がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に

第2層目のゲート金属層20で形成されるゲート電極17がチャネル領域12上に櫛歯形状に配置されている。

【0009】

図9(B)にこのFETの一部の断面図を示す。基板11にはn型のチャネル領域12とその両側にソース領域18およびドレイン領域19を形成するn+型の高濃度領域が設けられ、チャネル領域12にはゲート電極17が設けられ、高濃度領域には第1層目のオーミック金属層10で形成されるドレイン電極14およびソース電極16が設けられる。更にこの上に前述したように3層目のパッド金属層30で形成されるドレイン電極13およびソース電極15が設けられ、各素子の配線等を行っている。

【0010】

【発明が解決しようとする課題】

上記した化合物半導体スイッチ回路装置では、各FET1、FET2のゲートが抵抗R1、R2を介して第1と第2の制御端子Ct1-1、Ct1-2に接続されているので、相補信号である2つの制御信号を第1と第2の制御端子Ct1-1、Ct1-2に印加する必要がある。そのために化合物半導体スイッチ回路装置を組み込んだ集積回路では、必ず2つの第1と第2の制御端子Ct1-1、Ct1-2となる外部リードが必要となり、集積回路の小型パッケージ化を阻害する要因となっていた。これを避けるためにインバータ回路を内蔵させて1制御端子化を

実現する方法があるが、インバータ回路を構成する余分なFETが必要となり、消費電力やパッケージサイズの増加などの問題点がある。

【0011】

また、各FET1、FET2はGaAs MESFETを用いるので、スイッチング動作はゲート電極に電圧を印加しチャネルの空乏層の開閉を制御することにより行う。通常、GaAs MESFETはデプレッション型FETであるため、制御電圧として負電圧を必要とする。従って、上記した化合物半導体スイッチ回路装置では負電圧で動作させるために、別途負電圧発生回路を必要とする問題点もあった。

【 0 0 1 2 】

【課題を解決するための手段】

本発明は上述した諸々の事情に鑑み成されたもので、インバータ回路を用いずに1制御端子化を実現するものである。

【 0 0 1 3 】

すなわち、チャンネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETと、前記両FETのソース電極あるいはドレイン電極に接続された共通入力端子と、前記両FETのドレイン電極あるいはソース電極に接続された第1および第2の出力端子と、前記第1のFETの前記第1の出力端子に所定のバイアスを与えるバイアス手段と、制御端子と前記第2の出力端子とを接続する接続手段と、前記第2のFETのゲート電極を接地する接地手段と、前記共通入力端子と前記第2のFETのソース電極あるいはドレイン電極間を直流的に分離する分離手段とを具備し、前記第1のFETのゲート電極に接続された前記制御端子に制御信号を印加することに特徴を有する。

【 0 0 1 4 】

【発明の実施の形態】

以下に本発明の実施の形態について図1から図6を参照して説明する。

【 0 0 1 5 】

図1は、本発明の化合物半導体スイッチ回路装置を示す回路図である。チャンネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第1のFET1および第2のFET2と、両FET1、2のソース電極（あるいはドレイン電極）に接続された共通入力端子INと、両FET1、2のドレイン電極（あるいはソース電極）に接続された第1の出力端子OUT1および第2の出力端子OUT2と、第1のFET1の第1の出力端子OUT1に所定のバイアスを与えるバイアス手段と、制御端子と第2の出力端子OUT2とを接続する接続手段と、第2のFET2のゲート電極を接地する接地手段と、共通入力端子INと第2のFET2のソース電極（あるいはドレイン電極）間を直流的に分離する分離手段と、第1のFET1のゲート電極のみに制御信号を印加する制御端子Ct1-1とから構成される。

【 0 0 1 6 】

第 1 の F E T 1 および第 2 の F E T 2 は G a A s M E S F E T (デプレッション型 F E T) で構成され、G a A s 基板に集積化される (図 6 参照)。なお、第 1 の F E T 1 および第 2 の F E T 2 は図 9 (A) (B) に示す構造と同じであるので、説明を省略する。

【 0 0 1 7 】

バイアス手段は本発明の特徴の 1 つであり、正の一定の直流電圧、例えば 3 V を抵抗 R を介して常に第 1 の出力端子 O U T 1 に印加する手段である。

【 0 0 1 8 】

接地手段も同様に本発明の特徴の 1 つであり、第 2 の F E T 2 のゲート電極を抵抗 R により接地する手段であり、第 2 の F E T 2 のゲート電極は常に接地電位に固定される。

【 0 0 1 9 】

接続手段も同様に本発明の特徴の 1 つであり、制御端子 C t 1 - 1 と第 2 の出力端子 O U T 2 とを抵抗 R で接続する手段である。

【 0 0 2 0 】

分離手段も同様に本発明の特徴の 1 つであり、共通入力端子 I N と第 2 の F E T 2 のソース電極 (あるいはドレイン電極) 間を直流的に分離する容量 C で形成される。この容量 C は第 1 の F E T 1 および第 2 の F E T 2 を直流的に分離する働きを有する。

【 0 0 2 1 】

制御端子 C t 1 - 1 も同様に本発明の特徴の 1 つであり、1 つの端子で形成される。

【 0 0 2 2 】

各 F E T 1、2 のゲート電極、接続手段およびバイアス手段にはそれぞれ抵抗 R が接続され、交流接地となる制御端子 C t 1 - 1 の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【 0 0 2 3 】

次に、図 2 および図 3 を参照して本発明の化合物半導体スイッチ回路装置の動

作原理について説明する。

【 0 0 2 4 】

S P D T スイッチの場合、制御端子を 1 つにするためには、制御端子に印加される制御電圧が 0 V のときにはどちらかの F E T がオン状態、もう一方の F E T がオフ状態になり、制御電圧が正電圧のときには逆の状態になれば良い。

【 0 0 2 5 】

図 2 は第 2 の F E T 2 に対応する回路部分である。F E T は抵抗 R を介して接地手段で接地されているので、ゲート電圧は 0 V に固定されている。この F E T がオン状態になるバイアス条件は、ゲート・ドレイン間およびゲート・ソース間の各々の電位差が等しい状態である。すなわち、 $V_g = V_d = V_s$ の状態であり、ゲート電圧 V_g は 0 V であるので、 $V_g = V_d = V_s = 0 V$ のときに F E T はオン状態になる。

【 0 0 2 6 】

逆に、ゲート電圧が 0 V で F E T がオフ状態になるバイアス条件は、ゲート・ドレイン間およびゲート・ソース間に F E T がオフする電位差を与えれば良い。従って、この回路では制御端子に 0 V を印加すれば F E T はオン状態となり、正電圧（例えば 3 V）を印加すれば F E T はオフ状態となる。

【 0 0 2 7 】

図 3 は第 1 の F E T 1 に対応する回路部分である。ゲート電圧 0 V で F E T がオフ状態になるバイアス条件は、ゲート・ドレイン間およびゲート・ソース間にオフになるような電位差を与えればよい。従って、ソースまたはドレイン側に常時バイアスを掛ける回路（バイアス手段）を接続すればよい。

【 0 0 2 8 】

逆に、バイアス電圧と等しい電位を制御端子からゲートに印加すれば、F E T がオン状態になる。従って、この回路では制御端子が 0 V で F E T がオフ状態になり、3 V で F E T がオン状態になる。

【 0 0 2 9 】

この図 2 と図 3 の回路を組み合わせたのが、図 1 に示す本発明の化合物半導体スイッチ回路装置である。容量 C で第 1 の F E T 1 および第 2 の F E T 2 を直流

的に分離して相互のバイアス条件の干渉を防止し、図 2 に示した制御端子を接続手段で制御端子 C_{t1-1} に接続すれば良い。

【 0 0 3 0 】

図 1 の回路の特徴は、一方の FET (FET 2) のゲートを抵抗 R を介して接地する点と、ゲートが接地された FET (FET 2) のバイアスが他方の FET (FET 1) の制御端子 C_{t1-1} と共通になっている点と、FET (FET 1) のバイアスが常に一定電圧 E で供給されている点および FET (FET 1) と FET (FET 2) が容量 C により直流的に分離されている点である。

【 0 0 3 1 】

続いて図 4 および図 5 を参照してその動作結果を説明する。

【 0 0 3 2 】

図 4 は、制御端子 C_{t1-1} の制御電圧 V_{Ct1} が 0 V のとき、すなわち第 1 の FET 1 がオン状態のときの共通入力端子 IN - 出力端子 OUT 1 と共通入力端子 IN - 出力端子 OUT 2 間の挿入損失 (Insertion Loss) およびアイソレーション (Isolation) 特性を示す。挿入損失 (Insertion Loss) は 2. 2 GHz まで良好であり、アイソレーション (Isolation) も同様である。

【 0 0 3 3 】

図 5 は、制御端子 C_{t1-1} の制御電圧 V_{Ct1} が 3 V のとき、すなわち第 2 の FET 2 がオン状態のときの共通入力端子 IN - 出力端子 OUT 2 と共通入力端子 IN - 出力端子 OUT 1 間の挿入損失 (Insertion Loss) およびアイソレーション (Isolation) 特性を示す。挿入損失 (Insertion Loss) は 2. 8 GHz まで良好であり、アイソレーション (Isolation) も同様である。

【 0 0 3 4 】

図 6 は、図 1 に示す本発明の化合物半導体スイッチ回路装置を集積化した化合物半導体チップの 1 例を示している。

【 0 0 3 5 】

GaAs 基板にスイッチを行う FET 1 および FET 2 を左右に配置し、上側に容量端子 C、共通入力端子 IN および 1 つの制御端子 CTL を、下側に出力端子 OUT 2、接地端子 GND および出力端子 OUT 2 に対応するパッドが基板の

周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)10は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものである。

【0036】

なお、容量Cは容量端子Cと共通入力端子IN間に外付けで接続され、バイアス手段および抵抗Rも出力端子OUT1と接地端子GND間に外付けされる。

【0037】

【発明の効果】

以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

【0038】

第1に、インバータ回路を用いなくて1つの制御端子でGaAs FETを用いたSPDT(Single Pole Double Throw)と呼ばれる化合物半導体スイッチ回路装置を実現できる。これによりインバータ回路を制御端子数分用意する必要がなくなり、回路配置が簡素化されてプリント基板の実装面積を小さくできる。また消費電力の低減も図れる。

【0039】

第2に、本発明の化合物半導体スイッチ回路装置では制御信号は3V/0Vの単一正電源でスイッチを行え、GaAs FETを用いた場合に必要な負電圧発生回路も省け、正電源も1種類で動作できるので実装面積も小さくできる。

【0040】

第3に、本発明では接地端子GNDと容量端子Cが増加するが、制御端子が1つに減るので、結果的に化合物半導体スイッチ回路装置のチップサイズは現行とほぼ同等にでき、単一の制御端子による取り扱い易さがセットへの実装で大きく寄与できる。

【0041】

第4に、挿入損失(Insertion Loss)およびアイソレーション(Isolation)特性

が現行の製品と同等に確保できる。

【図面の簡単な説明】

【図 1】

本発明を説明するための回路図である。

【図 2】

本発明を説明するための回路図である。

【図 3】

本発明を説明するための回路図である。

【図 4】

本発明を説明するための特性図である。

【図 5】

本発明を説明するための特性図である。

【図 6】

本発明を説明するための平面図である。

【図 7】

従来例を説明するための (A) 断面図、(B) 回路図である。

【図 8】

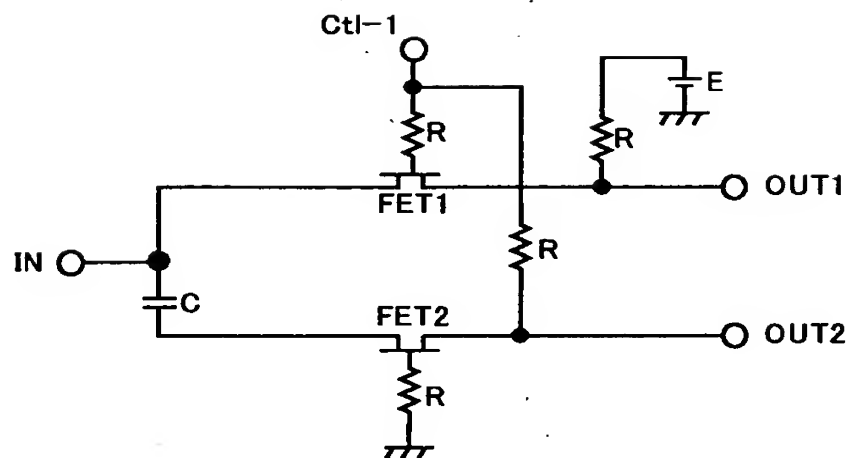
従来例を説明するための平面図である。

【図 9】

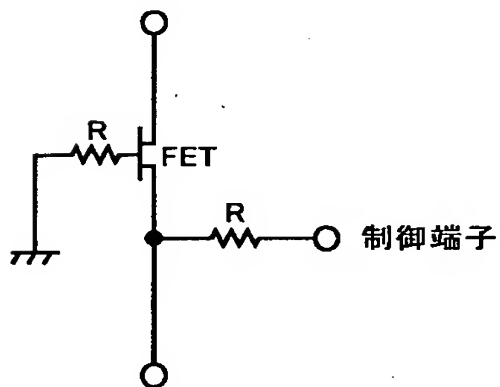
従来例を説明するための (A) 平面図、(B) 断面図である。

【書類名】 図面

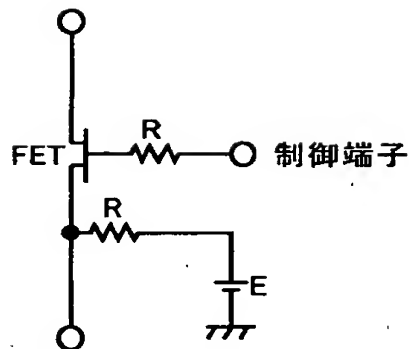
【図 1】



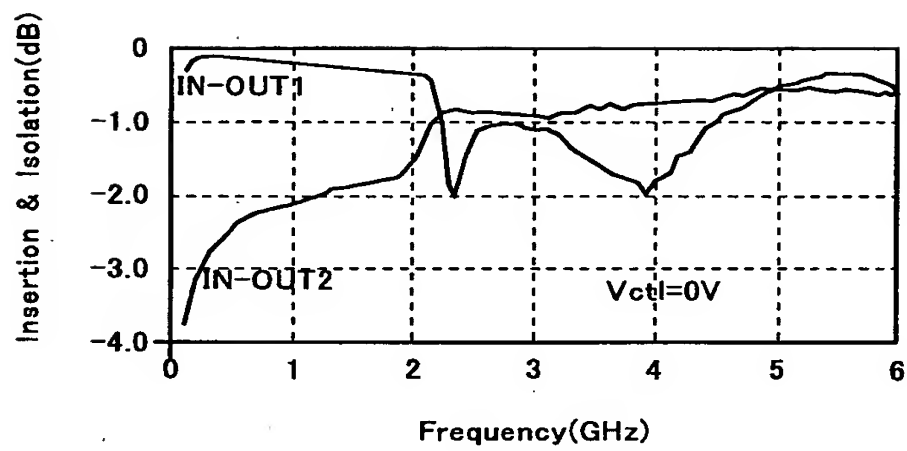
【図 2】



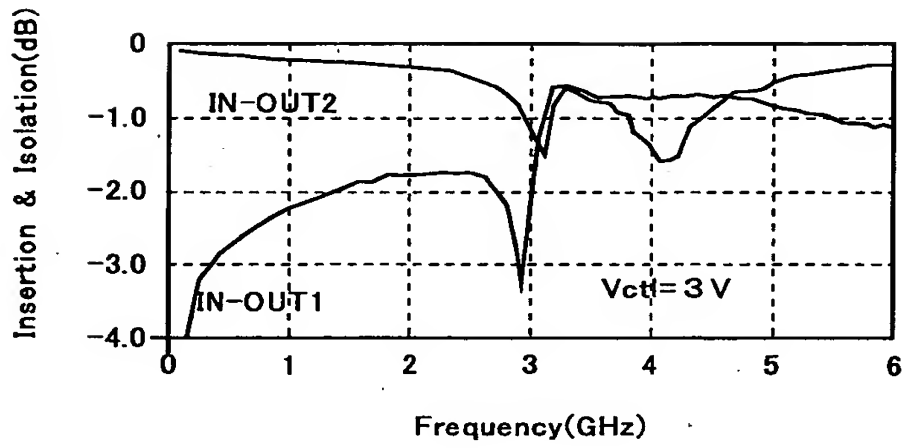
【図 3】



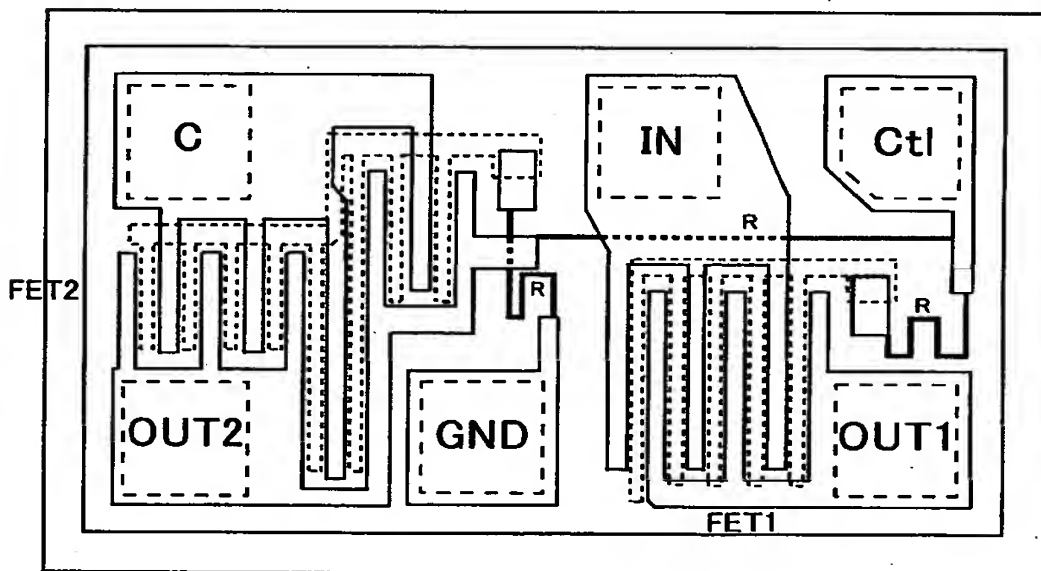
【図 4】



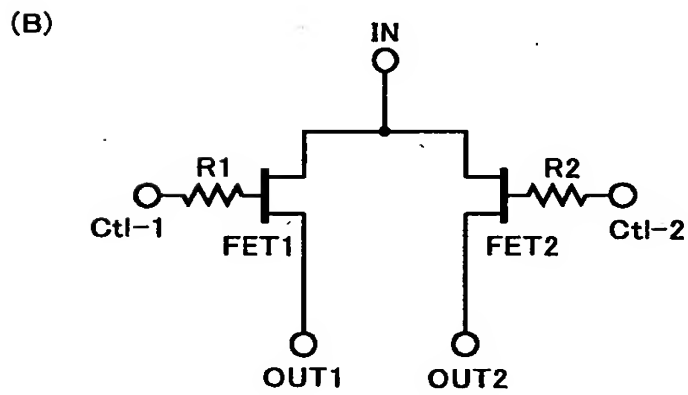
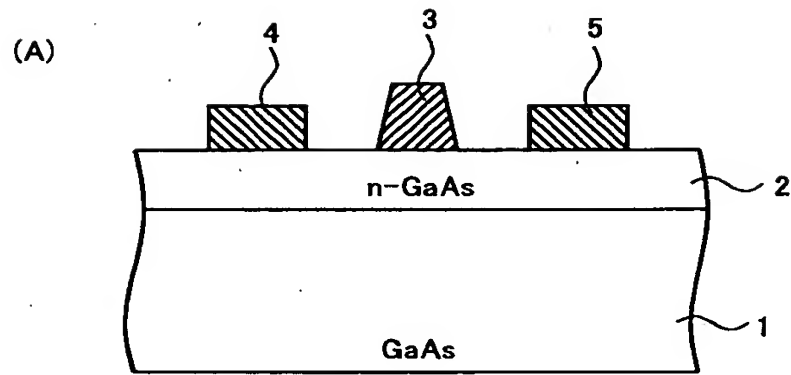
【図5】



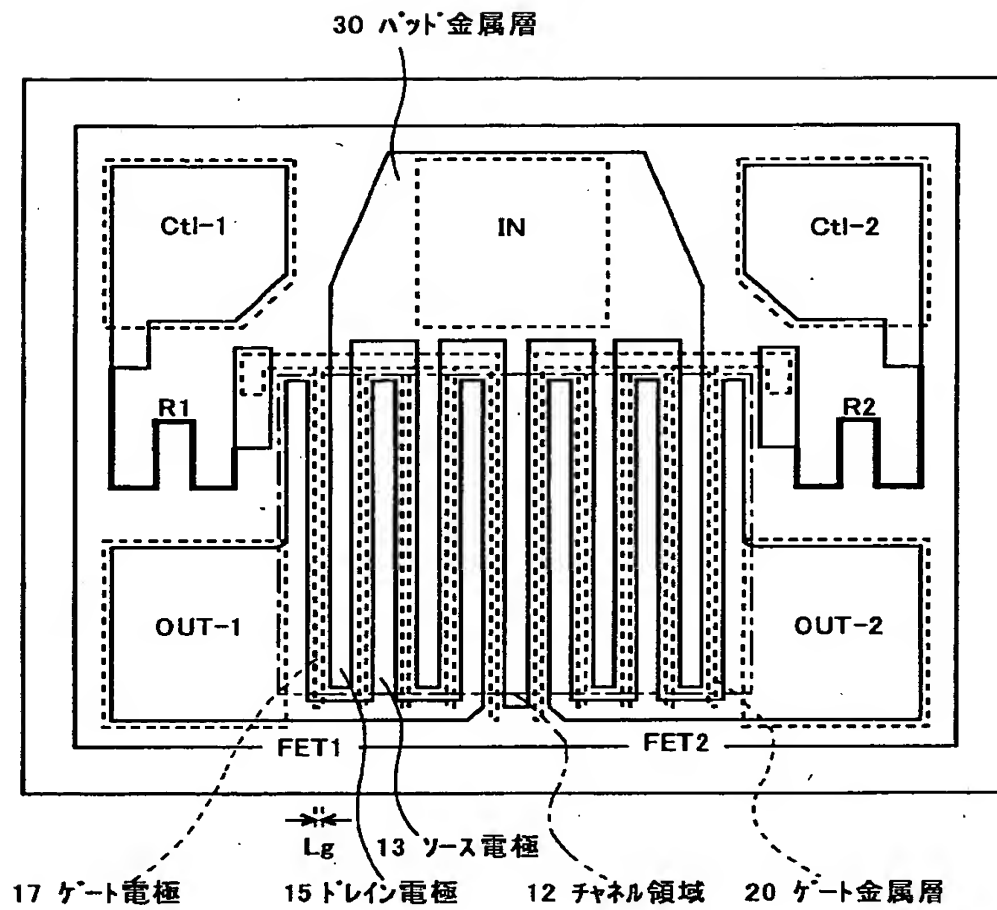
【図6】



【図 7】

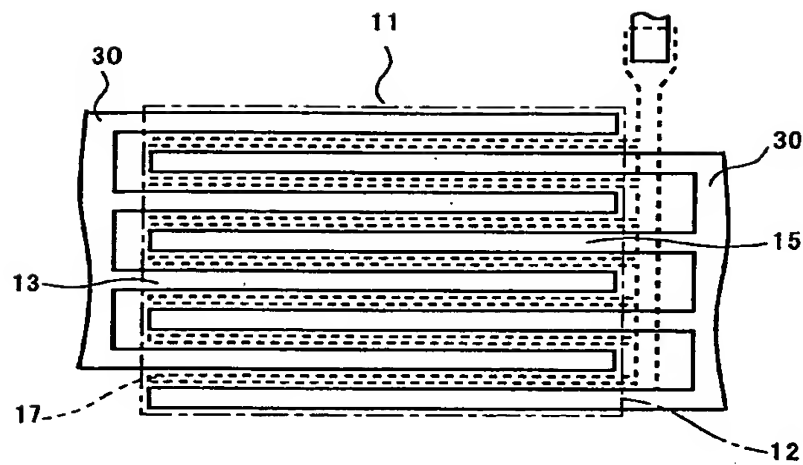


【図 8】

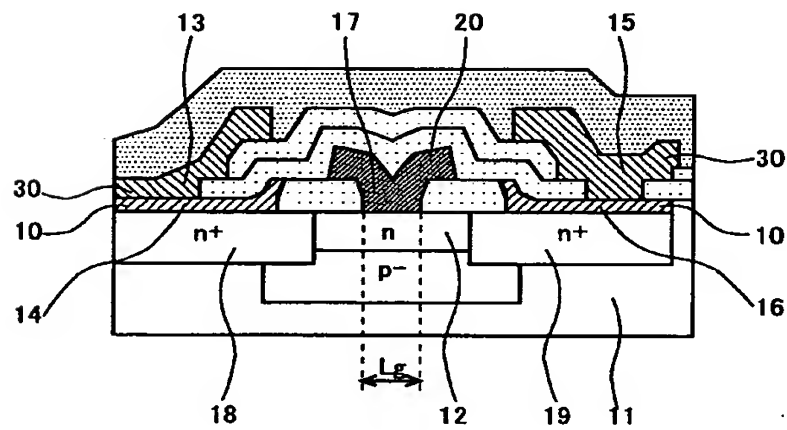


【図9】

(A)



(B)



【書類名】 要約書

【要約】

【課題】化合物半導体スイッチ回路装置では、スイッチ動作させるために各 F E T 毎に制御端子を設けていた。このためにプリント基板の実装面積が大きくなる問題点があった。

【解決手段】第 1 および第 2 の F E T と、前記両 F E T のソース電極あるいはドレイン電極に接続された共通入力端子と、前記両 F E T のドレイン電極あるいはソース電極に接続された第 1 および第 2 の出力端子と、前記第 1 の F E T の前記第 1 の出力端子に所定のバイアスを与えるバイアス手段と、制御端子と前記第 2 の出力端子とを接続する接続手段と、前記第 2 の F E T のゲート電極を接地する接地手段と、前記共通入力端子と前記第 2 の F E T のソース電極あるいはドレイン電極間を直流的に分離する分離手段とを具備し、前記第 1 の F E T のゲート電極に接続された制御端子に制御信号を印加することに特徴を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社